

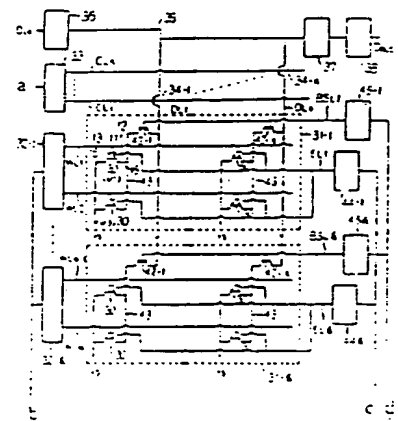
BEST AVAILABLE COPY

(54) NON-VOLATILE SEMICONDUCTOR MEMORY

(11) 3-250495 (A), (43) 8.11.1991 (19) JP
 (21) Appl. No. 2-48126 (22) 28.2.1990
 (71) TOSHIBA CORP (72) MASAMICHI ASANO
 (51) Int. Cl.³ G11C16/06, H01L27/115, H01L29/788, H01L29/792

PURPOSE: To prevent the generation of malfunction in a non-selected memory cell and to improve the reliability of the non-volatile semiconductor memory by collectively erasing memory cells in each block, and at the time of writing data in a certain block, inhibiting the impression of a writing signal to other blocks.

CONSTITUTION: Erasing gates for respective memory cells in plural memory cell arrays 31-1 to 31-k are used in common in each block and connected to erasing lines EL1 to ELk. At the time of erasing the array 31-1, a decoder 44-1 is selected, an erasing voltage is impressed to the line EL1, all word lines in respective arrays 31 are turned to 0V and all the memory cells of the array 31-1 are simultaneously erased. At the time of writing, a writing voltage is outputted from an input circuit 35, a data line DL1 is set up to 10V, a word line WL1 is selected to write data in the cell M11. All block selection FETs 42-1 to 42-n in the unselected block arrays 31-2 to 31-k are turned off and all common drains 43 in the arrays 31-2 to 31-k are turned to almost 0V.



31-1, 31-k, row decoder, 33, column decoder, 35, data in circuit, 37, sense amplifier, 38, data output circuit, 44-1, erasing decoder, 42-1, 42-n, block selecting decoder, column address, row address, erasing address, block selecting address

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-250495

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月8日

G 11 C 16/06
H 01 L 27/115
29/788
29/792

8522-5L G 11 C 17/00 3 0 9 C
8522-5L 3 0 9 A
8831-5F H 01 L 27/10 4 3 4
7514-5F 29/78 3 7 1

審査請求 有 請求項の数 5 (全14頁)

⑮ 発明の名称 不揮発性半導体メモリ

⑯ 特 願 平2-48126

⑰ 出 願 平2(1990)2月28日

⑱ 発 明 者 浅 野 正 通 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 佐 藤 一 雄 外3名

明 細 書

1. 発明の名称

不揮発性半導体メモリ

2. 特許請求の範囲

1. 浮遊ゲートと、この浮遊ゲートと容量結合している制御ゲートと、ドレインと、ソースとを有し、前記浮遊ゲート中への電子の注入による書き込みと前記浮遊ゲートからの電子の放出による消去とを電気的に行わせて、電気的にデータの書き換えを行うことができる浮遊ゲートトランジスタをメモリセルとして用い、そのメモリセルの枚数によってメモリセルアレイを構成した不揮発性半導体メモリにおいて、

前記メモリセルアレイを、前記メモリセルの任意数毎の枚数のブロックに分割し、さらに、

前記浮遊ゲートからの電子の放出を行わせる消去信号を、前記ブロックのうちのあるブロック内の前記トランジスタのみに加えるブロック毎消去

信号印加手段と、

前記浮遊ゲート中へ電子の注入を行わせる書き込み信号を、前記ブロックのうちのあるブロック内の前記トランジスタのみのドレインに加え、他のブロック内の前記トランジスタのドレインには加えない、ブロック毎書き込み信号印加手段と、を有する、

不揮発性半導体メモリ。

2. 前記メモリセルアレイは、前記メモリセルが行列状に配置されて構成されたものであり、

前記ブロックは、前記メモリセルの行単位のもの任意数によって構成されている、請求項1記載の不揮発性半導体メモリ。

3. 前記各ブロック中の前記枚数のメモリセルは、列方向に並ぶものの各ドレインが共通に接続されてそれぞれ共通ドレイン線を構成しており、前記各共通ドレイン線と前記書き込み信号を伝えるデータ線とはトランスファゲートトランジスタを介して接続されており、前記各トランスファゲートのオン、オフはブロック選択デコードに

よって行われる、請求項1又は2のいずれかに記載の不揮発性半導体メモリ。

4. 前記各浮遊ゲートトランジスタは、消去時に、前記消去信号印加手段によって正電圧の前記消去信号が印加されて、前記浮遊ゲート中の電子を吸引する消去ゲートを有する請求項1～3のいずれかに記載の不揮発性半導体メモリ。

5. 前記各浮遊ゲートトランジスタは、前記浮遊ゲート中の電子を吸引するための消去ゲートを有しないタイプのものであり、前記消去信号印加手段は前記各浮遊ゲートトランジスタのソースに正電圧の前記消去信号を印加するものである、請求項1～3のいずれかに記載の不揮発性半導体メモリ。

3. 説明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、電気的にデータの消去が可能な不揮発性半導体メモリに関し、特に、非選択セルに電

圧ストレスが加わる時間を短縮し、それによって非選択セルに誤動作が生じないようにした不揮発性半導体メモリに関する。

(従来の技術)

電気的に記憶データを消去し、書き込みすることができるEEPROM(Electrically Erasable and Programmable ROM)は、紫外線消去型のEPROMと比べ、ボード上に組み込んだままの状態で電気信号によりデータ消去が可能であり、使い易いことから、制御用、ICカード(メモリカード)用等に需要が急増している。特に、EEPROMの大容量化を実現するために第7A～7C図に示すような構成のメモリセルが用いられる。

ここで第7A図はパターン平面図、第7B図は第7A図のB-B線断面図、第7C図は第7A図のC-C線断面図である。これらの図において、11は第1層目の多結晶シリコン層から構成された浮遊ゲート、12は第2層目の多結晶シリコン層から構成された消去ゲート、13は第3層目の

多結晶シリコン層から構成された制御ゲートである。制御ゲート13はメモリセルのワード線としても使用される。また、14はP型の基板であり、15及び16はこの基板14上に形成されたN⁺型拡散層からなるソース及びドレイン、17はコンタクトホール、18はこのコンタクトホール17を介して上記ドレイン16と接続されるアルミニウム層からなるデータ線である。さらに、19は浮遊ゲートトランジスタ部のゲート絶縁膜で、厚さは300Åである。20は浮遊ゲート11と消去ゲート12との間に設けられたゲート絶縁膜で、厚さは350Åである。21は浮遊ゲート11と制御ゲート13との間に設けられたゲート絶縁膜である。このゲート絶縁膜21はO-N-O構造(Oxide-Nitride-Oxide)の3層構造で構成されている。また、22は消去ゲート12と制御ゲート13との間に設けられたゲート絶縁膜であり、これもO-N-O構造のものにされている。23は第3層目の多結晶シリコン層13をゲート電極とする選択トランジスタ部のゲート絶

縁膜である。また、24はフィールド絶縁膜、25は終端絶縁膜である。

前記第7A～7C図に示されるメモリセルの等価回路を第8図に、容量系統の等価回路を第9図にそれぞれ示す。第8図において、 V_D はドレイン電位、 V_S はソース電位、 V_{FG} は浮遊ゲート電位、 V_{EG} は消去ゲート電位、 V_{CG} は制御ゲート電位である。また、第9図において、 C_{FG} は浮遊ゲート11と制御ゲート13との間の容量、 C_{FE} は浮遊ゲート11と消去ゲート12との間の容量、 C_{FG} は浮遊ゲート11とドレイン16との間の容量、 C_{FS} は浮遊ゲート11からなるその他の容量である。この容量系統において、全ての容量に与えられる電荷量の初期値 $Q_{(1)}$ は次式で与えられる。

$$Q_{(1)} = (V_{FG} - V_{CG}) \cdot C_{FC} + (V_{FG} - V_{EG}) \cdot C_{FE} \\ + (V_{FG} - V_D) \cdot C_{FD} + (V_{FG} - V_S) \cdot C_{FS} \quad \dots\dots(1)$$

また、すべての容量の総和を C_T とすると、 C_T は次式で与えられる。

$$C_T = C_{FC} + C_{FE} + C_{FD} + C_{FS} \quad \dots\dots(2)$$

従って、浮遊ゲートに加わる電圧 V_{FG} は次式で与えられる。

$$V_{FG} = (V_{CG} \cdot C_{FC} + V_{EG} \cdot C_{FE} + V_D \cdot C_{FD} + V_S \cdot C_{FS}) / C_T + (Q_{(1)} / C_T) \quad \dots\dots(3)$$

ここで、 $Q_{(1)} / C_T = V_{FG(1)} \cdot V_S = 0V$ を代入すれば、上記(3)式は次のように書き直すことができる。

$$V_{FG} = (V_{CG} \cdot C_{FC} + V_{EG} \cdot C_{FE} + V_D \cdot C_{FD}) / C_T + V_{FG(1)} \quad \dots\dots(4)$$

上記のようなメモリセルは、実際のメモリにおいてはマトリクス状に配置される。ここでは説明を簡単にするため、第10図に示すような4つの

とすると(浮遊ゲートトランジスタのしきい値 V_{TE} を1Vとする)、浮遊ゲート11下には反転層ができ、メモリセルM1～M4のしきい値電圧は低くなる。この状態をデータ“1”がメモリされているとする。

次に、メモリセルアレイ中の1つのメモリセル、例えばM1を選択し、それにデータを書き込む場合を考える。選択セルM1にデータを書き込む場合、メモリセルの制御ゲート電位 V_{CG} (ワード線WL1の電位)を高電位、例えば+12.5Vに、ドレイン電位 V_D (データ線DL1の電位)を高電位例えば+10Vに、ソース電圧 V_S 、データ線DL2の電位及びワード線WL2の電位を0Vにそれぞれ設定する。また、消去ゲート電位 V_{FG} は例えば+5Vとする。これにより、選択セルM1では、浮遊ゲート11の電位が上昇し、書き込みやすくなる。選択セルM1のドレイン16近傍でホット・エレクトロン効果が起こる。インパルス・アイオナイゼーションにより発生した電子が浮遊ゲート11中に注入される。これにより浮

メモリセルM1～M4を有する4ビットのメモリセルアレイを考える。これら4個のメモリセルM1～M4のドレイン16は2本のデータ線DL1、DL2のいずれかに接続され、制御ゲート13は2本のワード線WL1、WL2のいずれかに接続され、消去ゲート12は消去線ELに共通に接続され、ソース15には基準電圧(例えば0V)が印加される。

このような構成のメモリセルアレイにおいては、データの消去は全てのメモリセルM1～M4について一括で行う。即ち、各メモリセルのソース電位 V_S 、ドレイン電位 V_D 及び制御ゲート電位 V_{CG} をそれぞれ0V(すなわちデータ線DL1、DL2、ワード線WL1、WL2を0V)にし、消去ゲート電位 V_{EG} を高電位(例えば+20V)にする。このとき、ファウラー・ノルトハイムのトンネル効果により、浮遊ゲート11中の電子が電界放出によって消去ゲート12に向けて放出され、浮遊ゲート11が正電位に帯電する。浮遊ゲート11内の電位 $V_{FG(1)}$ が例えば+3Vになる

消去ゲート12は、負に帯電する。浮遊ゲート11内の電位 $V_{FG(1)}$ が例えば-3Vになったとする。このような状態においては、メモリセルM1の閾値電圧は高くなる。この状態を、データ“0”がメモリされているとする。また、上記の場合での非選択セルM2～M4では、ホット・エレクトロン効果は起こらない。

次に、上記したデータ書き込み時における、非選択セルM2～M4に加わる電圧ストレスについて考える。書き込み時における前記(4)式の $V_{EG} \cdot C_{FE}$ 及び $V_D \cdot C_{FD}$ は、 $V_{CG} \cdot C_{FC}$ と比較し、充分小さいので、書き込み時における(4)式は、次のように書き換えることができる。

$$V_{FG} = (C_{FC} / C_T) V_{CG} + V_{FG(1)} \quad \dots\dots(5)$$

ここで、容量比 C_{FC} / C_T を、例えば0.6とし、“1”のセルの $V_{FG(1)} = +3V$ 、“0”のセルの $V_{FG(1)} = -3V$ とする。また、選択セルM1と同一ワード線WL1上にある非選択セルM2のデータが“1”の場合を考える。M2の制

高ゲート電位 V_{EG} は 12.5 V である。このため、浮遊ゲート電位 V_{FG} は、前記 (5) 式により、10.5 V となる。しかしながら、消去ゲート電位 V_{EG} は 5 V であるので、浮遊ゲート 11 から見た消去ゲート 12 の電位は、-5.5 V となっている。このように、消去ゲート 12 に 5 V 印加することにより、選択セル M1 と同一のワード線 WL1 上にある非選択セル M2 の浮遊ゲート 11 の消去ゲート 12 に対する電界が緩和される。これにより、誤書き込みによる誤動作を防ぐという信頼性が向上する。一方、ドレイン 16 と浮遊ゲート 11 との間に加わる電圧ストレスは、メモリセルのデータが '1' あるいは '0' かにより大きく異なる。第 10 図中の 4 個のメモリセル M1 ~ M4 に加わる、ドレイン 16 の浮遊ゲート 11 に対する電圧ストレスを第 1 表にまとめて示す。

第 1 表

セル	セルのデータ	WL1	WL2	DL1	DL2	V_{EG}	V_{FG}	$V_D - V_{FG}$	モード
M1	'1'	12.5 V		10 V		5 V	—	—	データ書き込み
	'0'								
M2	'1'	12.5 V			0 V	5 V	10.5 V	-10.5 V	(誤書き込みのおそれ)
	'0'						4.5 V	-4.5 V	—
M3	'1'		0 V	10 V		5 V	3.0 V	7.0 V	—
	'0'						-3.0 V	13.0 V	(誤消去のおそれ)
M4	'1'		0 V		0 V	5 V	3.0 V	-3.0 V	—
	'0'						-3.0 V	3.0 V	—

第10図において、非選択セルM2~4の浮遊ゲートへの電圧ストレスが最大になるのは、選択セルM1のワード線WL1と異なるワード線WL2に制御ゲートが接続されている非選択メモリセルM3においてデータが“0”の場合である。即ち、第1表からも分るように、この非選択セルM3では、浮遊ゲート11とドレイン16の間に+13.0Vの電圧が加わり、浮遊ゲート11中の電子がドレイン16に放出されやすくなり、場合によっては誤消去のおそれが生じる。次に既しい条件は、メモリセルM2のデータが“1”の場合である。この状態では、電子が浮遊ゲート11中に注入されて、誤書き込みが発生する可能性がある。

第11図は、このメモリセルを使用したメモリ回路の構成を示す回路図である。図中、メモリセルアレイ31中の各々のセル30のドレイン16は、n本のデータ線DL1~DLnのいずれかに接続され、制御ゲート13は、m本のワード線WL1~WLmのいずれかに接続されている。

、1)×1となる。又、第1表のメモリセルM2の制御ゲート13が12.5V、ドレイン16が0V、すなわち前記第1表の誤書き込み状態のストレス時間は1ビット当たり最大で $(n-1) \times 1$ となる。ここで、nは上述のように行線数、nは列線数である。

例えば、1Mビットのメモリ(128Kワード×8ビット)の場合、 $n=128$ 、 $m=1024$ となる。1ビットの書き込み時間を1 μ sとすると、誤消去のおそれのある状態のストレス時間は、

$$1\mu s \times (1024-1) = 1.023S \quad (a)$$

となる。又、誤書き込みのおそれのある状態のストレス時間は、

$$1\mu s \times 127 = 127\mu s$$

となる。浮遊ゲート11の絶縁膜の厚さが300Åであることを考慮し、また誤消去、誤書き込みの起きる確率がストレス時間に比例することを考えれば、信頼性については問題ないレベルである。

第12A~12C図には、第2の従来例としての消去ゲートを有しないEEPROMセルを示す。

かつ、メモリセル30、30、…の消去ゲート12は、消去線ELに共通に接続され、ソース15には基準電圧、例えば0(V)が印加される。メモリセルアレイ31中の全メモリセル30の消去ゲート12は共通とされているので、データ書き込みに際しては、全メモリセル30の消去ゲートに同時に V_{EG} が印加されることになる。なお、第11図において、32は行デコード、33は列デコード、34-1~34-nは列選択トランジスタ、35はバス線、36はデーク入力回路、37はセンス増幅回路、38はデータ出力回路、39は消去用昇圧回路、41はアドレスバッファである。

ここで、1セル(1ビット)当りのデータ書き込み時間を t とし、順次全ビットへ書き込む場合を考える。非選択状態のメモリセル(第1表のM3)において、制御ゲート13が0V、ドレイン16が10Vとなるストレス時間、すなわち前記第1表で説明した誤消去状態のストレス時間は、1ビット当たり(1つのセルについて)最大で(m

第7A~7C図と同等の部分には、同一の番号を付してある。第7A~7C図のEEPROMセルと異なる点は、消去ゲートがないことのほか、制御ゲート13をゲートとする選択トランジスタがなく、浮遊ゲート11に直接ソース15及びドレイン16が接している点にある。さらに、浮遊ゲート絶縁膜19は、約100Åと薄くしてある。

次に、第12A~12C図の動作原理を説明する。

消去時には、ソース15に消去電圧10Vを印加し、ドレイン16をフローティング、制御ゲート13を0Vとする。これにより、薄い浮遊ゲート絶縁膜19を介して浮遊ゲート11とソース15との間に高電圧が印加される。これにより、フowler-Nordhaimeのトンネル効果により、浮遊ゲート11中の電子がソース15に向けて放出され、消去が行われる。

書き込み時には、ドレイン16を約6V、ソースを0V、制御ゲート13を12Vとする。これにより、ドレイン16の近傍で発生したホットエ

レクトロンが浮遊ゲート11に注入され、書き込みが行われる。

読み出し時には、ドレイン16を1V、ソース15を0V、制御ゲート13を5Vとする。これにより、浮遊ゲート11中の電子の有無により、データ“0”又は“1”が読み出される。

このメモリセルを用いてアレイを構成する場合は、第11図のセルと入れかえて用い、且つ消去線E1を全メモリセルの共通ソース V_S に接続すれば良い。これにより、全メモリセルについて一括消去が行われる。

(発明が解決しようとする課題)

以上のように、第1の従来技術では、メモリセルを一括消去することにより、全メモリセルのストレス状態がクリアされることにより、書き込み、消去(以下、これをW/Eという。)のくり返しを例えば 10^4 回行ってもストレスが累積されることもなく、問題は起こらない。

ところが、一括消去では、消去したくないメモリセルまで消去されてしまうため、使用しづらい。

以外のすべてのブロック(ワード線1022本分)が 10^4 回W/Eをくり返した場合に最大となる。よってその時間の最大は、

$$1\text{ms} \times 1022 \times 10^4 = 10200\text{秒}$$

となり、過大なストレスが加わることとなり、一括消去を起すおそれ大きい。

また、上記第2の従来例として第12A~12C図のEEPROMは、メモリセルが2層ポリシリコンのみで構成されており、微細化には適している。しかし、前述のようにブロック化してブロック消去を行う場合には、非選択セルのドレインに加わるストレスが大きい。特に、絶縁膜19が100Åと薄いことからブロック消去は困難であった。

本発明は、上記のような問題を考慮してなされたもので、その目的は、メモリセルアレイを複数のブロックとして、非選択ブロックには書き込み時のストレスが印加されないようにし、書き込み時に非選択のメモリセルが誤動作を起こさないよう

あるいは応用面で制約が生じるという問題がある。この問題を解決するためには、メモリセル領域を複数の小領域(以下、これをブロックと呼ぶ。)に分割し、このブロック単位で消去(以下、これをブロック消去と呼ぶ。)すれば良い。具体的には、例えばワード線2本毎にそれらのワード線に接続されたメモリセルの消去ゲートを共通に接続する。そして、消去時、この共通化された消去線のうちの一つに図示しない消去用デコードにより選択的に消去電圧 $V_{EG} = 20\text{V}$ を印加すればよい。これにより、選択されたブロックに属するメモリセルのみを消去するブロック消去が可能となる。

このように、セルをブロック毎に分割した場合において非選択セルにストレスが加わる時間を考える。先ず第1に誤書き込みのおそれ(第1表参照)のストレス時間について考える。このストレス時間はブロック分割を行わない一括消去型のとときと同じである。次に、誤消去のおそれ(第1表参照)のストレス時間について考える。このストレスは、選択ブロック(ここではワード線2本分)

にした、信頼性の高い不揮発性半導体メモリを提供することにある。

(発明の構成)

(課題を解決するための手段)

本発明の第1のメモリは、浮遊ゲートと、この浮遊ゲートと容量結合している制御ゲートと、ドレインと、ソースとを有し、前記浮遊ゲート中への電子の注入による書き込みと前記浮遊ゲートからの電子の放出による消去とを電気的に行わせて、電気的にデータの書き換えを行うことができる浮遊ゲートトランジスタをメモリセルとして用い、そのメモリセルの複数によってメモリセルアレイを構成した不揮発性半導体メモリにおいて、前記メモリセルアレイを、前記メモリセルの任意数毎の複数のブロックに分割し、さらに、前記浮遊ゲートからの電子の放出を行わせる消去信号を、前記ブロックのうちのあるブロック内の前記トランジスタのみに加えるブロック毎消去信号印加手段と、前記浮遊ゲート中へ電子の注入を行わせる書き込み信号を、前記ブロックのうちのあるブロッ

ク内の前記トランジスタのみのドレインに加え、他のブロック内の前記トランジスタのドレインには加えない、ブロック毎書き込み信号印加手段と、を有するものとして構成される。

本発明の第2のメモリは、前記第1のメモリにおいて、前記メモリセルアレイは、前記メモリセルが行列状に配置されて構成されたものであり、

前記ブロックは、前記メモリセルの行単位のもの任意数によって構成されているものとして構成される。

本発明の第3のメモリは、前記第1又は第2のメモリにおいて、前記各ブロック中の前記複数のメモリセルは、列方向に並ぶものの各ドレインが共通に接続されてそれぞれ共通ドレイン線を構成しており、前記各共通ドレイン線と前記書き込み信号を伝えるデータ線とはトランスファークラップトランジスタを介して接続されており、前記各トランスファークラップのオン、オフはブロック選択デコードによって行われるものとして構成される。

本発明の第4のメモリは、前記第1～3のい

れかのメモリにおいて、前記各浮遊ゲートトランジスタは、消去時に、前記消去信号印加手段によって正電圧の前記消去信号が印加されて、前記浮遊ゲート中の電子を吸引する消去ゲートを有するものとして構成される。

本発明の第5のメモリは、前記第1～3のいずれかのメモリにおいて、前記各浮遊ゲートトランジスタは、前記浮遊ゲート中の電子を吸引するための消去ゲートを有しないタイプのものであり、前記消去信号印加手段は前記各浮遊ゲートトランジスタのソースに正電圧の前記消去信号を印加するものとして構成される。

(作 用)

複数のメモリセル(浮遊ゲートトランジスタ)から構成されるメモリセルアレイは、複数のメモリセルからなるブロックに分割されている。各ブロックにおいて、ブロック内のメモリセルは一括で消去される。また、あるブロック内のあるメモリセルへの書き込み時には、他のブロック内のメモリセルのドレインには、書き込み信号(ストレ

ス)が印加されない。これにより、メモリセル自体としての信頼性が向上する。

(実施例)

本発明の実施例は、簡単に、メモリセルアレイを複数のブロックに分割し、このブロック単位で電気的に消去可能とし、且つ、書き込み時には、非選択ブロックに電圧ストレスが印加されないようにしたものである。このような構成にすることにより、実施例では、W/Eの書き換えサイクルに対して高信頼性を実現している。

第1図に本発明の第1実施例を示す。この第1図において、第11図と同等の部材には、第11図と同一の符号を付している。

メモリセルアレイ31-1～31-kは、複数のワード線(ここでは2本分)を一まとめたもので、それぞれ行デコード32-1～32-kに接続されている。各ブロック内(各メモリセルアレイ31-1～31-k内)の各メモリセルの消去ゲートは、ブロック内で共通に接続され、且つ消去線E1～E1kにそれぞれ接続されてい

る。消去用デコード44-1～44-kは、これらの消去線E1～E1kの1つを選択するためのものである。各ブロック内の各メモリセル30のドレインは、各共通ドレイン43にそれぞれ接続されている。この各共通ドレイン43は、アレイ選択トランジスタ42-1～42-nを通して、それぞれデータ線D1～D1nに接続されている。このブロック選択トランジスタ42-1～42-nのゲートは、ブロック毎のものが共通に接続され、ブロック選択線BSL1～BSLkとされている。これらの選択線BSL1～BSLkは、それぞれブロック選択デコード45-1～45-kに接続されている。

その他の構成は、第11図のものとはほぼ同様である。

次に、上記の装置の動作を説明する。

消去時、例えばセルアレイ31-1のブロックを消去する場合について説明する。

この場合には、先ず、消去用デコード44-1が選択される。これにより、消去線E1には消

高電圧 V_{EG} (約20V)が印加される。他の消去用デコーダ44-2~44-kは非選択となり、消去線 $E L 2 \sim E L k$ は0Vとなる。又、各アレイ31-1~31-kにおいて、すべてのワード線は0Vとなり、ブロック選択線 $B S L 1 \sim B S L k$ も0Vとなり、共通ドレイン43が略0Vとなる。これにより、メモリセルアレイ31-1の全てのメモリセルは同時に消去される。

次に、書き込み時について説明する。例えば、アレイ31-1のメモリセルM1に書き込む場合、データ入力 D_{in} が“0”とする。データ入力回路36から書き込み電圧が出力され、共通バス線35が12Vとなる。また、列デコーダ33によって列選択線 $C L 1$ が選択されて12Vとなる。さらに、ブロック選択デコーダ45-1が選択されて、ブロック選択線 $B S L 1$ を5Vとする。列選択線 $C L 1$ の選択により、データ線 $D L 1$ が10Vとなる。ブロック選択線 $B S L 1$ の選択により、トランジスタ42-1につながる共通ドレイン43も10Vとなる。又、行デコーダ32-

1によってワード線 $W L 1$ が選択されて12Vとなる。これにより、選択されたメモリセルM1に書き込みが実施される。

一方、非選択のブロック選択線 $B S L 2 \sim B S L k$ は0Vである。このため、非選択ブロックのセルアレイ31-2~31-kの全てのブロック選択トランジスタ42-1~42-nはオフしている。従って、非選択ブロックのセルアレイ31-2~31-kにおいては、全ての共通ドレイン43が略0V(フローティング状態)となっている。そのため、非選択のセルアレイ31-2~31-kにおいては、各セル30のドレインには電圧ストレスは印加されない。

次に、読み出し時について説明する。メモリセルM1からのデータを読み出すとする。このときには、ブロック選択デコーダ45-1が選択される。これにより、ブロック選択線 $B S L 1$ のみが5Vとなる。他の $B S L 2 \sim B S L k$ は非選択となり、0Vとなる。選択されたブロック31-1のワード線 $W L 1$ が行デコーダ32-1で選択さ

れて5Vとなる。列デコーダ33による列選択線 $C L 1$ の選択により、データ線 $D L 1$ が選択される。これにより、選択されたメモリセルM1から情報が読みだされる。このとき、非選択ブロック31-2~31-k中のブロック選択トランジスタ42-1~42-kはすべてオフしている。これにより、他のアレイ31-2~31-kにおいては共通ドレイン43はデータ線 $D L 1$ から切り離されている。このため、データ線 $D L 1$ に接続される寄生容量が大幅に減る。これにより、データ線 $D L 1$ の充放電時間が短縮され、メモリセルM1からは高速で読み出しが行われる。但し、もし、読み出しスピードがこれよりも低くてもよい場合には、すべてのブロック選択線 $B S L 1 \sim B S L k$ を5Vにしておいても良い。

例えば、1Mビットのメモリを第1図の構成のようにしたときに、セルM3に加わるストレス時間について、従来の第11図の場合と比較する。セルM3にストレスが加わるのは、同じブロック31-1中のセルM1がデータ書き込み対象とき

れたときのみである。他のブロック31-2~31-kのどのセルが書き込み対象とされたときも、セルM3にはストレスは加わらない。よって、M3に加わるストレス時間は、第1図の場合(2本のワード線を1つの行デコーダに接続した場合)には、1書き込み時間となる。この1書き込み時間を、前と同様に1 μ sとすると、当然ストレス時間は1 μ sとなる。これは、従来の(a)式の場合の1.023 μ sより著しく小さいのがわかる。よって、實際上、セルM3は消費しない。

第2図は、第1図の回路を実際にレイアウトした一例の一部を示す回路図である。第3A~3C図は、第2図の回路図に対応したレイアウトの平面図及び断面図である。即ち、第3A図が平面図、第3B図はB-B線断面図、第3C図はC-C線断面図である。第3A~3C図において、第7A~7C図と同一の構造部には、同じ符号をつけている。

ここでは、特に第2図からわかるように、1ブロック中にはワード線が4本ずつ含まれている。

そして、1本のデータ線(例えばDL1)にブロック選択トランジスタ42-1を通してつながるメモリセルは、4つとなる。特に、第3A図に示すレイアウト上の特徴は、これらの4つのメモリセルの共通のドレイン16は拡散層16Aのみでつながっており、A ℓ 線とコンタクトさせていない点にある。この共通のドレイン16は、ブロック選択トランジスタ42-1を通して、拡散層16Aにつながっている。この拡散層16Aは、コンタクト17を介して、データ線(A ℓ)DL18につながっている。これにより、コンタクト17は上下のブロック合わせて8つのトランジスタについて1つとなる。すなわち、コンタクトの数は1/4になり、パターンの縮小化に有効に作用する。また、各セル30のソース15は、拡散層15Aで共通につながり、且つV $_{SS\#}$ 線(A ℓ)26にコンタクト17Aを介してつながっている。

第4図に、ブロック消去を可能とした別の実施例を示す。この第4図は、消去ゲートを有しない第12A~12C図に対応するものである。第4

図が第2図と異なる点は、共通ソース線V $_{SS\#}$ とブロック内のメモリセルの共通ソース46との間に、ソース選択トランジスタ47を設けた点にある。このトランジスタ47のゲートは、ブロック毎に共通に接続され、且つソース選択線SSL1~SSLk(SSL2, SSL3のみ図示)に接続されている。

次に、第4図の動作を説明する。

第4図におけるワード線WL5~WL8のブロックが選択されるとする。

消去時には、ブロック選択線BSL2及びワード線WL5~8が0V、ソース選択線SSL2が12V、共通ソース線V $_{SS\#}$ が12Vとなる。又、非選択ブロックのソース選択線SSL1, SSL3~SSLkはすべて0Vとなる。この状態では、選択されたブロックの共通ソース線46のみに約10Vが印加され、選択ブロックにおけるメモリセル30が消去される。一方、非選択ブロックにおいては、メモリセルのソースには消去は印加されないことから、消去は行われない。

次に、セルM2に書き込む場合について説明する。データ線DL1、ワード線WL5が選択され、DL1=6V、WL5=12Vとなる。

さらに、ブロック選択線BSL2及びソース選択線SSL2が選択され、それぞれ12Vとなる。さらに、共通ソース線V $_{SS\#}$ は0Vとなる。これにより、メモリセル30(M1)に書き込みが行われる。このとき、他のブロックのブロック選択線BSL1, BSL3~BSLkはすべて0Vとなっている。このため、データ線DL1がたとえ6Vとなっても、非選択ブロックのメモリセル30のドレインにはストレスが加わらない。非選択ブロックのソース選択線SSL1, SSL3~SSLkについては0Vとするのが好ましいが、オンしていても特に問題は生じない。

第5A~5C図は第4図の実例のレイアウトを示す。即ち、第5A図は平面図、第5B図がB-B線断面図、第5C図はC-C線断面図である。これらの図における基本的な配線は第3A~3C図と同様であるが、それらの図と特に異なる点は、

共通ソース線V $_{SS\#}$ 27を第2A ℓ で行ない、データ線DL1~DLnを第1のA ℓ で行ない、共通ソース線V $_{SS\#}$ をデータ線DL1~DLnと直交させた点にある。このようにすることによって、積方向のセルピッチをデータ線DL1~DLnの第1のA ℓ 配線のピッチで決めることができ、セルサイズの縮小化が可能となる。

又、上記とは逆に、第1番目のA ℓ を共通ソース線V $_{SS\#}$ に用い、第2番目のA ℓ をデータ線に用いても良い。さらに、第3A~3C図のように、共通ソース線V $_{SS\#}$ を、データ線と平行にすることもできる。このようにすれば、セルサイズが少々犠牲にされるにしても、単一層のA ℓ で配線でき、プロセスが容易となる。

第6図には、さらに異なる実施例を示す。第4図と異なる点は、ソース選択線及びソース選択トランジスタを設けるかわりに、ブロック毎にメモリセル共通ソース46に専用のソース線V $_{SS\#1}$ ~V $_{SS\#k}$ (V $_{SS\#2}$, V $_{SS\#3}$ のみ図示)を設けた点にある。

次に、第6図の動作を説明する。消去時には、選択されたブロックの共通ソース線のみが高電圧が印加され、そのブロックが消去される。例えば、ワード線 $WL5 \sim WL8$ のブロックが選択されたとすると、共通ソース線 V_{SS2} のみが、図示しない消去用デコードで選択され、そこに10Vが印加され、メモリセルが消去される。他のブロックの共通ソース線 V_{SS1} 、 $V_{SS3} \sim V_{SSk}$ は0Vになっており、消去は行われない。

書き込み時、および読み出し時には、共通ソース線 $V_{SS1} \sim V_{SSk}$ はすべて0Vになっている。この点を除き、各信号は第3A～3C図の動作のときと同じである。この第6図の例では、共通ソース線 $V_{SS1} \sim V_{SSk}$ は、第5A～5C図と同様に、第2層目の $A2$ によりデータ線の第1層目の $A1$ と直角な方向に配線される。

さらに、図示しないが、第6図において、共通ソース線 $V_{SS1} \sim V_{SSk}$ を上下方向に共通化し、データ線 $DL1 \sim DLk$ に平行に配線することもでき、それにより $A2$ 1層で配線でき、プロセス

的には容易となる。このときは、ブロック消去はできず、全セル一括消去となる。もし、ブロック消去を行なう場合には共通ソース線 V_{SS2} を10Vとし、選択されたブロックにおけるワード線のみ、例えばワード線 $WL5 \sim WL8$ のみを0Vとし、他の非選択ブロックにおけるワード線 $WL1 \sim WL4$ 、 $WL9 \sim WLn$ のすべてを12Vにする。これにより、非選択ワード線のメモリセルの浮遊ゲート11とソース15との間の電圧は、選択セルのそれに比較して大幅に小さくなる。これにより、非選択ワード線のメモリセルは消去されず、選択ワード線のメモリセルのみのブロック消去が行われる。

〔発明の効果〕

本発明によれば、メモリセルをブロック毎に分割し、あるブロック中のあるメモリセルに書き込みを行う際には、他のブロックのメモリセルには書き込み電圧（ストレス）が加わらないようにしたので、あるセルへの書き込み時における他のセルでの誤動作を防止して、メモリ全体としての信

頼性を向上させることができる。

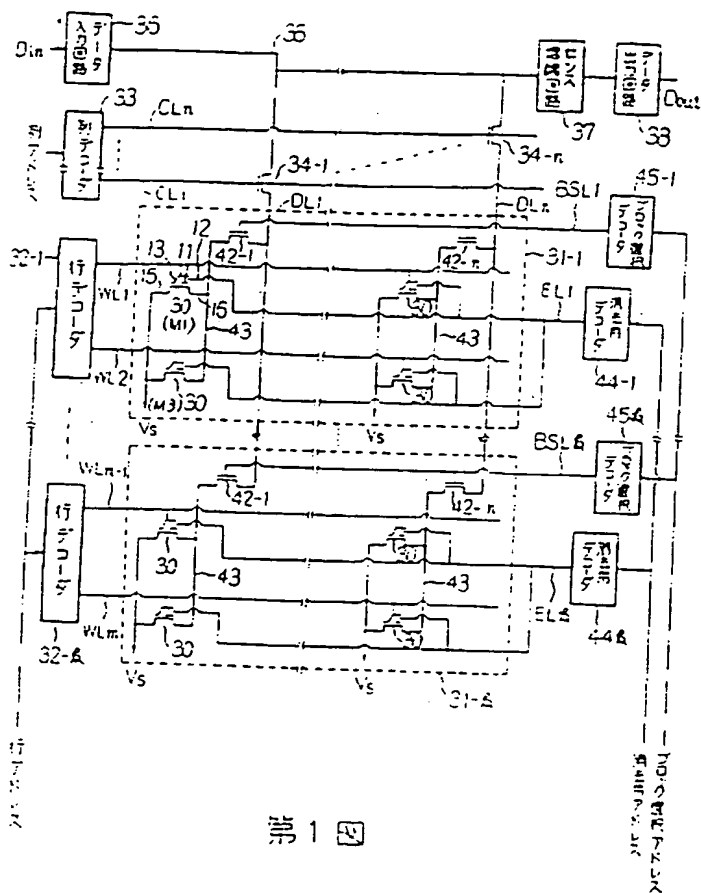
4. 図面の簡単な説明

第1図は本発明の第1実施例の回路図、第2図はその実際のパターンに沿った回路図、第3図は第2図のパターンを示す平面図、B-B線及びA-A線断面図、第4図は本発明の第2実施例の実際のパターンに沿った回路図、第5図はその平面図、B-B線及びC-C線断面図、第6図は本発明の第3実施例の実際のパターンに沿った回路図、第7図は従来例の一部を示す平面図、B-B線及びA-A線断面図、第8図及び第9図はその等価回路図及び容易系統の等価回路図、第10図は従来のメモリセルアレイの一部を示す回路図、第11図は従来のメモリの回路図、第12図は従来のメモリセルの平面図、B-B線及びC-C線断面図である。

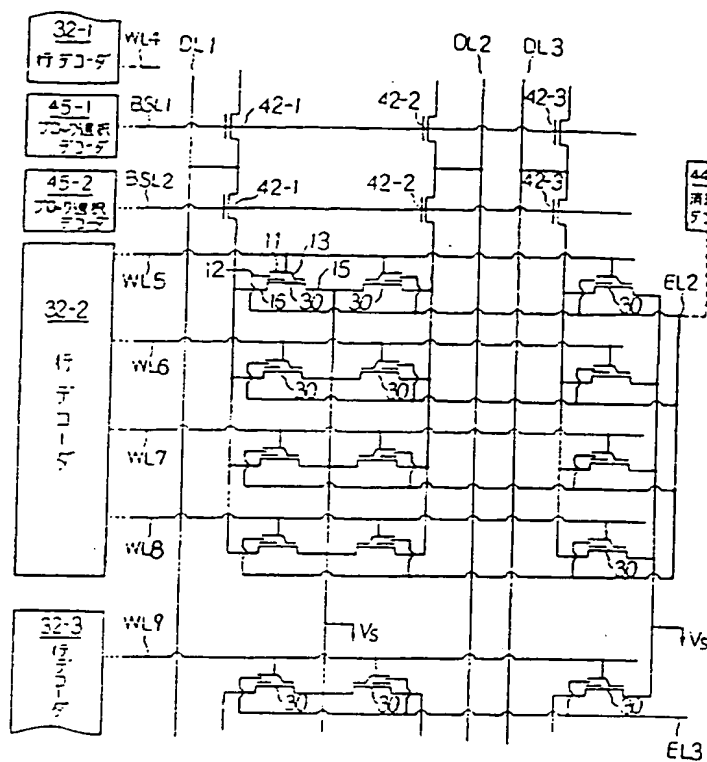
11…浮遊ゲート、13…制御ゲート、15…ソース、16…ドレイン、30…浮遊ゲートトランジスタ、31-1～31-k…ブロック、

42-1～42-k…ブロック選択トランジスタ、44-1～44-k…消去用デコード（消去信号印加手段）、45-1～45-k…ブロック選択デコード、DL1～DLn…データ線。

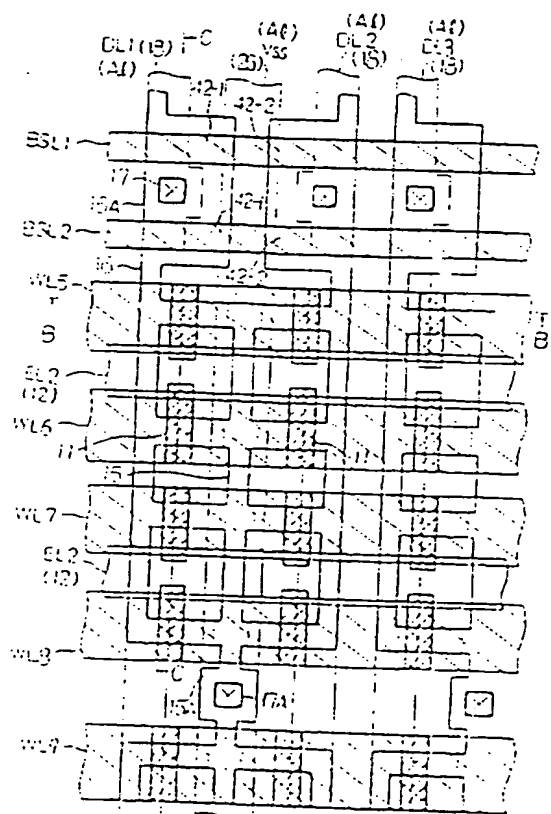
出願人代理人 佐 藤 一 雄



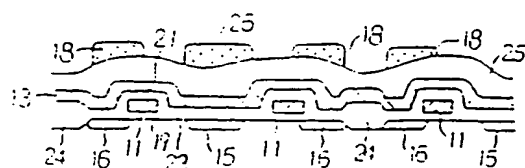
第1図



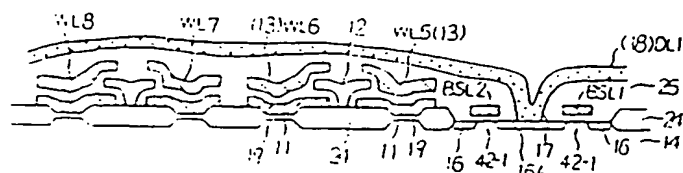
第2図



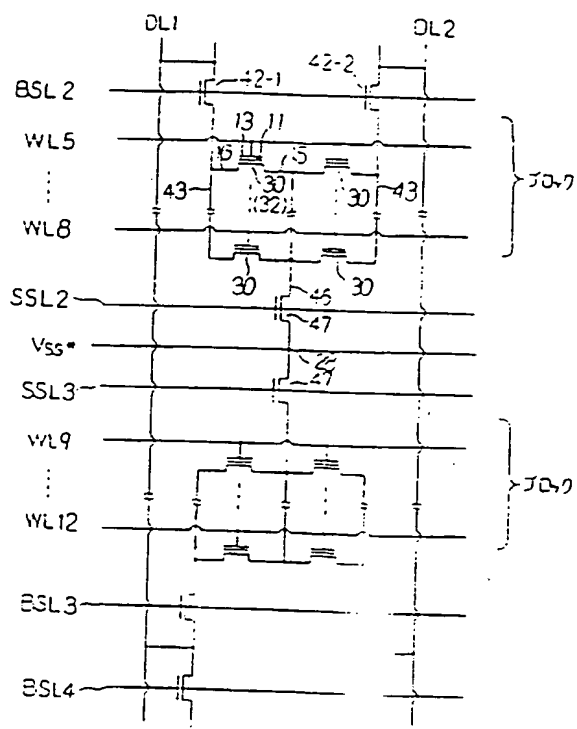
第3A図



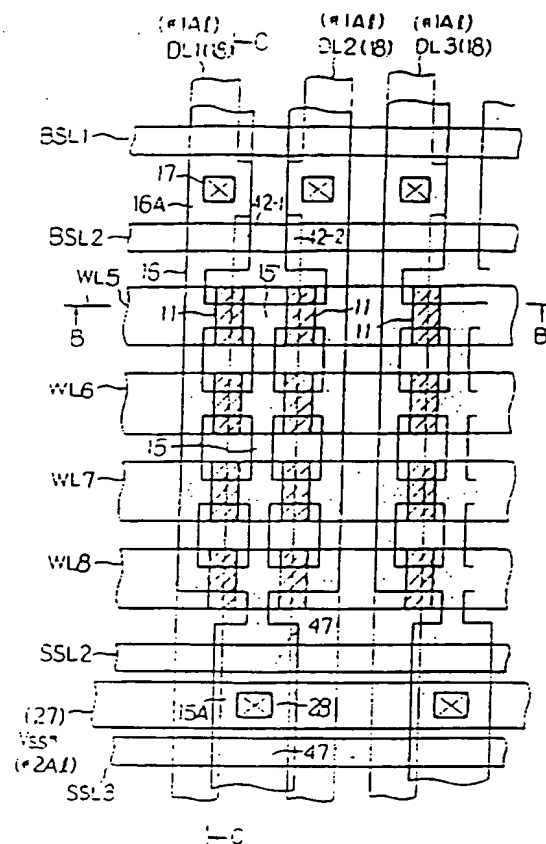
第3B図



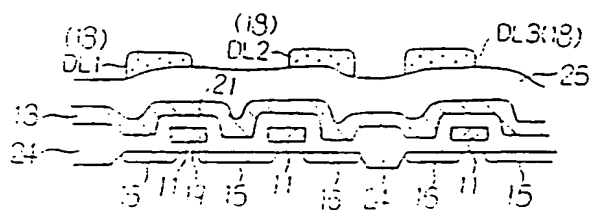
第3C図



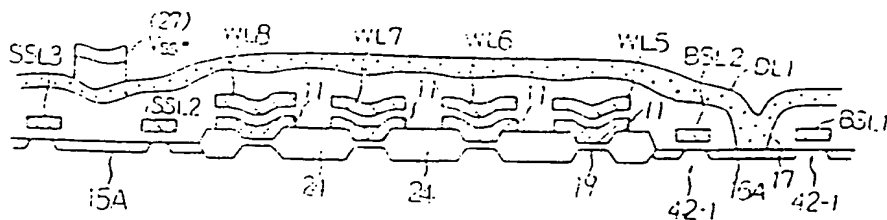
第4圖



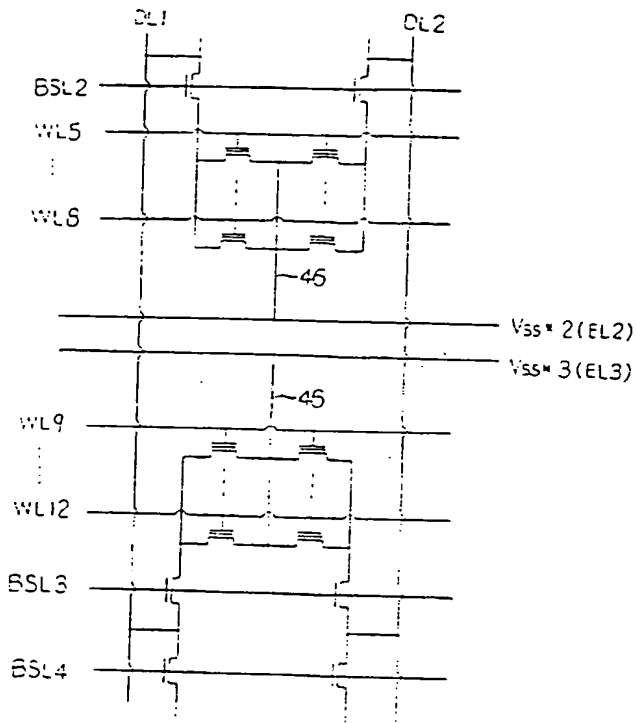
第5A圖



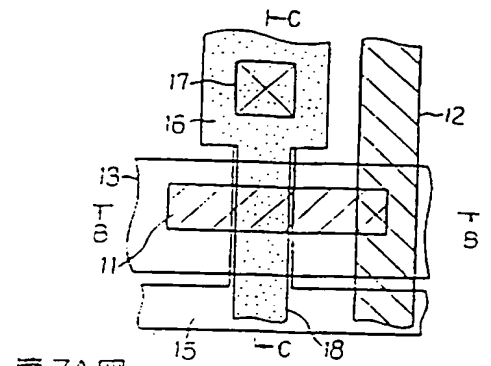
第5B圖



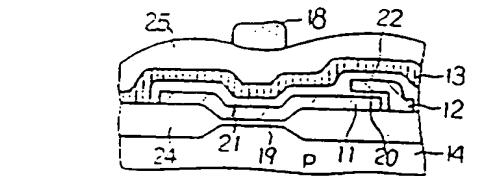
第5C圖



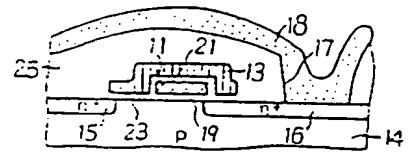
第6図



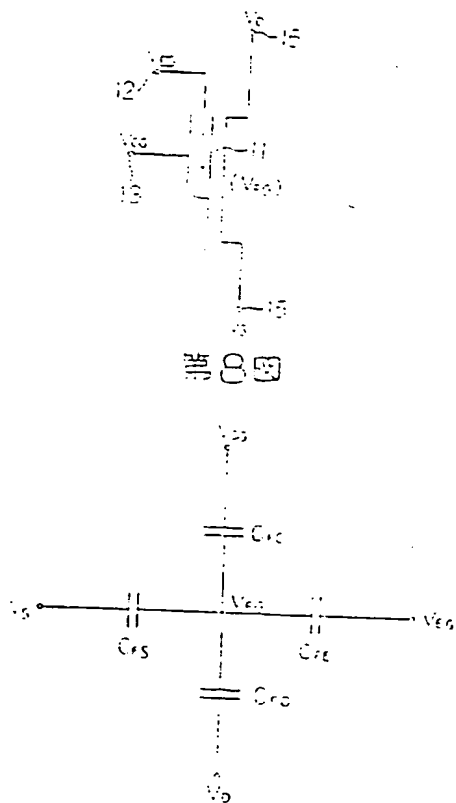
第7A図



第7B図

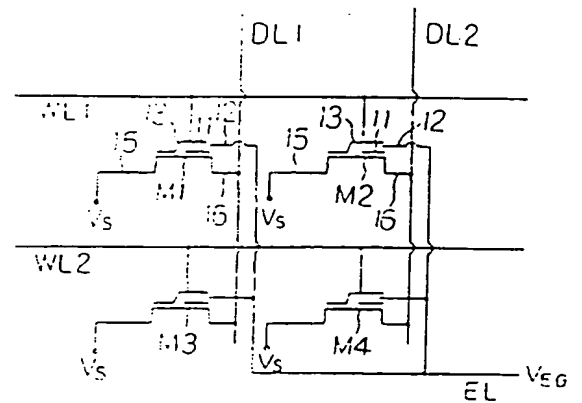


第7C図

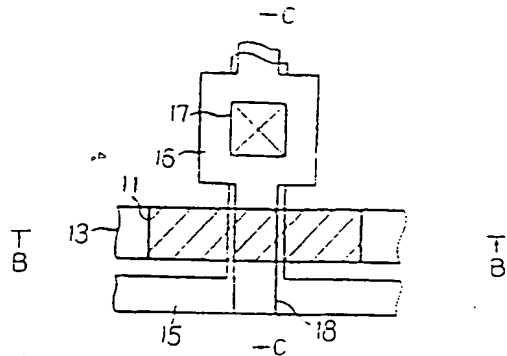


第8図

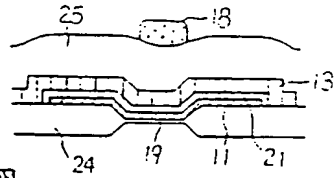
第9図



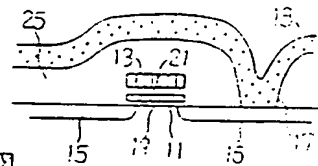
第10図



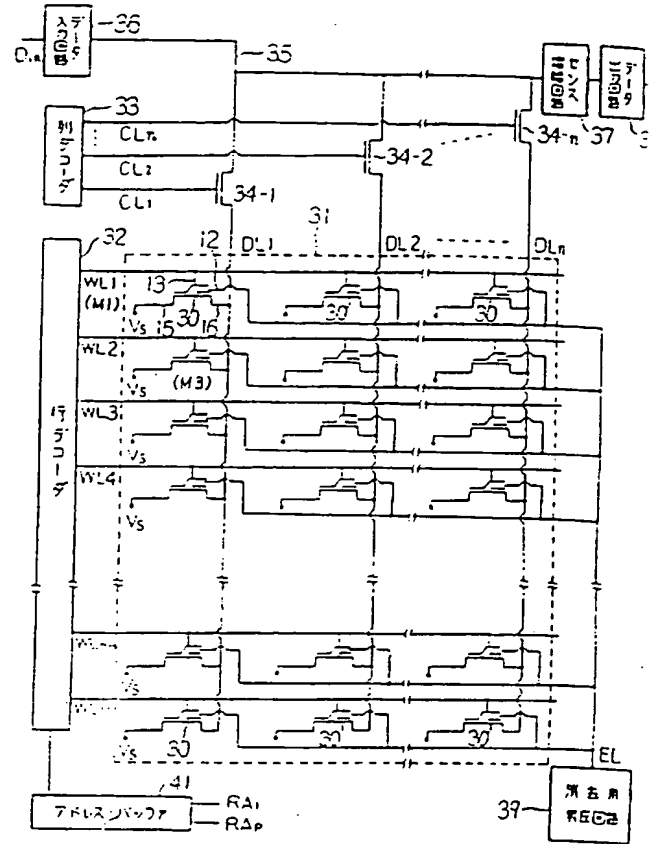
第12A図



第12B図



第12C図



第11図

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**